

SYSTÈME DE CALIBRAGE CAMÉRA

1. Introduction

La caméra HESS II doit être calibrer régulièrement de façon à déterminer le gain de chaque voie d'électronique de façon à pouvoir ajuster les hautes tensions des photomultiplicateurs (*PMs*).

L'idée est d'éclairer le plan focal de la caméra (environ 2 m de diamètre) avec une diode électroluminescente ($\lambda = 370nm$) placée à environ 3 m du plan focal. La *LED* (Light Emmiting Diode) travaille en impulsionnelle et délivre un flash lumineux de quelques nano-secondes de large. Une roue à filtres permet d'atténuer la lumière émise par la *LED* de façon à n'arracher, en moyenne, qu'un seul photoélectron des photocathodes des *PMs*. Un diffuseur assure que la lumière est uniformément répartie.

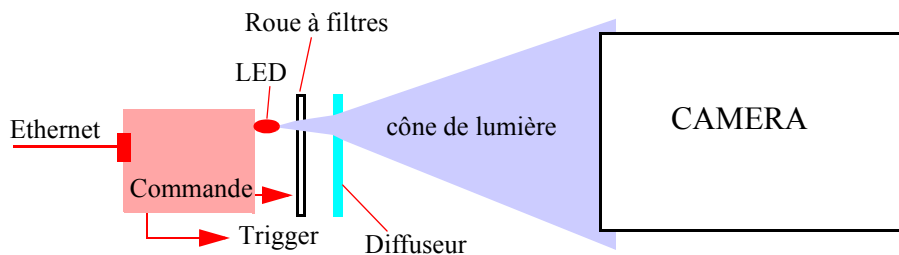


Figure 1.1 : Le système de LED et la caméra

La figure 1.1 montre le synoptique du système.

D'une manière générale, le contrôle du système *LED* est effectué par l'intermédiaire d'Ethernet. Une carte dotée d'un processeur *ARM* permet de tourner un noyau Linux 2.6 et de réaliser l'interface Ethernet. Un bus parallèle permet de commander le générateur de *LED* (commande marche/arrêt, fréquence et délai programmable entre le signal *Trigger* et le flash *LED*). La roue à filtre est commandée par une liaison RS232 issue de la carte processeur.

2. Principe

La connexion du *FPGA* avec la carte processeur *Linux* se fait par un bus parallèle de 16 bits, sans signaux de contrôle. Les 16 bits sont interprétés de la manière suivante :

[15]	<i>Strobe</i>
[14:12]	<i>Ordre</i>
[11:0]	<i>Donnée</i>

2.1. Start/Stop

A l'initialisation, le générateur de *LED* est arrêté. Pour le démarrer il suffit d'envoyer l'ordre *Start* (respectivement *Stop* pour l'arrêter).

2.2. Fréquence

Il est possible d'ajuster la fréquence par l'ordre *Freq* qui charge les 12 bits de poids

forts d'un compteur de 20 bits.

Comme l'horloge de base du compteur est de 40 MHz (soit 25 ns de période) :

La valeur minimale (1H) : 1 donne une période de sortie de :

$1 \times 25 \times 256 = 6400$ ns (156 KHz).

La valeur maximale (FFFH) : 4095 donne une période de sortie de :

$4095 \times 25 \times 256 = 26208000$ ns = 26,2 ms (38 Hz).

Pour obtenir 100 Hz (10 ms) il faut charger : $(10 \times 10^6) / (25 \times 256) = 1562$ (61AH)

La formule générale est donnée par :

$$Val = \frac{T_s [ns]}{25 \cdot 256}$$

Remarque : une valeur de 0 est équivalente à un *Stop*.

2.3. Délai

La valeur du délai entre l'impulsion LED et la sortie *Trigger* est programmable par l'ordre *Delay* (8 bits) dans une gamme de 0 à 250 ns environ par pas d'environ 1 ns.

Le délai demandé est effectué par un double mécanisme composé d'un gros délai et d'un délai fin. La formule suivante montre comment est décomposé le délai.

$$Delay = K \cdot 25ns + K' \cdot 1ns$$

Le délai grossier est réalisé en décalant le *Trigger* d'un certain nombre de périodes d'horloge (25 ns) tandis que le délai fin est effectué en reprogrammant à la volée une *PLL*.

Le tableau suivant montre le délai programmé et le délai mesuré. On remarquera que dans la gamme [1-255] le délai mesuré varie linéairement avec la valeur chargée. La pente de la droite est de 937 ps/pas

Délai	Mesuré
0	25 ns
1	937 ps
2	1875 ps
3	2812 ps
4	3750 ps
-	-
FE	253,75 ms
FF	254,68 ns

Tableau 2.1

3. Amplitude

L'amplitude du flash de lumière est ajustable au moyen d'un *DAC* de 8 bits.

4. Programmation

A partir du processeur, il est possible de sortir 16 bits de données. Le bit 15 est utilisé comme un strobe (par convention). Cela signifie qu'il faut positionner les bits [14:0] puis faire varier le bit 15 successivement de l'état bas à l'état haut puis à l'état bas. Le passage à l'état Haut du bit 15 permet de prendre en compte les autres bits.

Ordre	Codage	Strobe		Défaut
Start	Data[14:12]=000	Data[15]=b ^a -h ^b -b		inactif
Stop	Data[14:12]=001	Data[15]=b-h-b		actif
Delay	Data[14:12]=010	Data[15]=b-h-b	D[7:0]=Delay	aucun
Freq	Data[14:12]=011	Data[15]=b-h-b	D[11:0]=Freq	100 Hz
DAC	Data[14:12]=100	Data[15]=b-h-b	D[7:0]=DAC	aucun

Tableau 4.1 : Tableau de programmation

- a. bas
- b. haut

5. Mode FlashLoader

Le mode *FlashLoader* est un mode de programmation des composants *Altera (EPROM)* économique. Le mode *Active Serial* autorise l'utilisation des *EPROM EPCS16*¹. Dans ce mode le *FPGA* est programmé par le lien *JTAG* et l'*EPROM* est ensuite programmée par le *FPGA*. La figure 5.1 montre la connexion d'une *EPROM Active Serial*. La figure 5.2 explicite les connexions en *JTAG* et en mode *FlashLoader*.

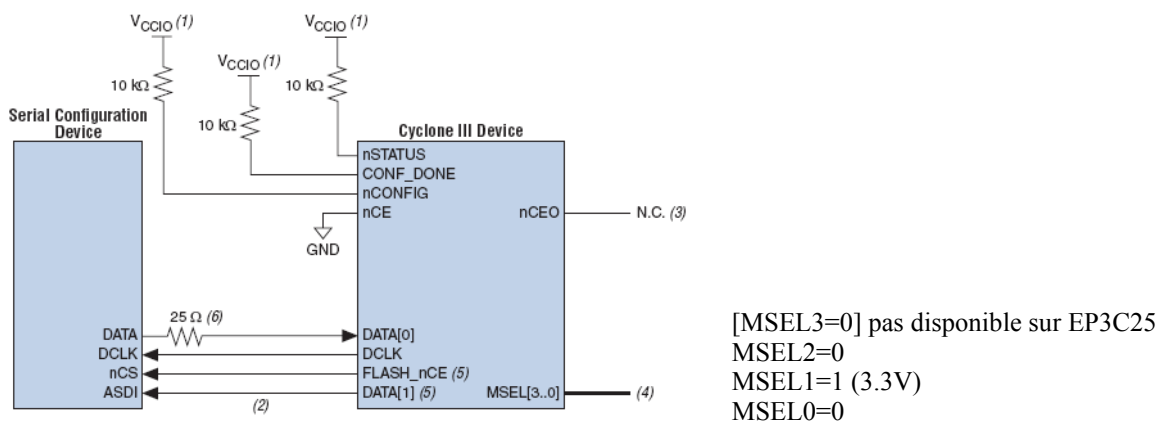


Figure 5.1 : Connexion d'une EPROM (Active Serial)

1. EPROM Altera de type Active Serial

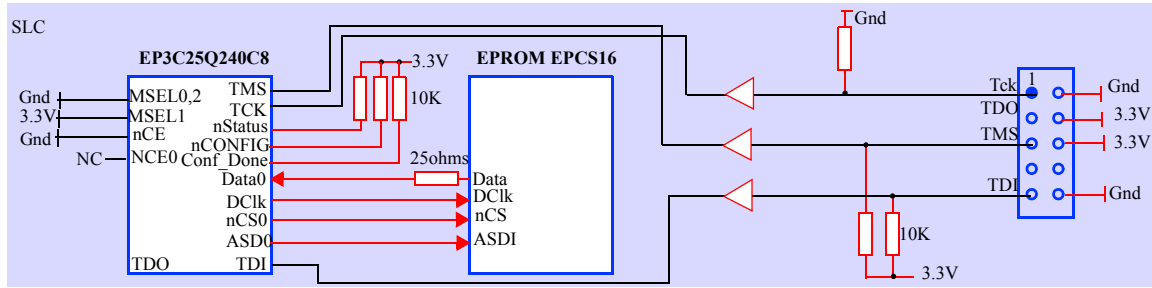


Figure 5.2 : Chaînage FPGA en mode FlashLoader et JTAG